

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月 7日  
Date of Application:

出願番号 特願2003-193015  
Application Number:

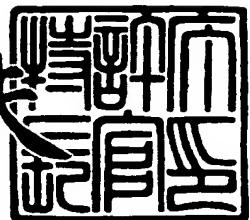
[ST. 10/C] : [JP 2003-193015]

出願人 三菱電機株式会社  
Applicant(s):

2004年 1月 21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願  
【整理番号】 544415JP02  
【提出日】 平成15年 7月 7日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03F 3/34

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 飛田 洋一

## 【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

## 【代理人】

【識別番号】 100064746

## 【弁理士】

【氏名又は名称】 深見 久郎

## 【選任した代理人】

【識別番号】 100085132

## 【弁理士】

【氏名又は名称】 森田 俊雄

## 【選任した代理人】

【識別番号】 100083703

## 【弁理士】

【氏名又は名称】 仲村 義平

## 【選任した代理人】

【識別番号】 100096781

## 【弁理士】

【氏名又は名称】 堀井 豊

## 【選任した代理人】

【識別番号】 100098316

## 【弁理士】

【氏名又は名称】 野田 久登

## 【選任した代理人】

【識別番号】 100109162

## 【弁理士】

【氏名又は名称】 酒井 將行

## 【先の出願に基づく優先権主張】

【出願番号】 特願2003- 82580

【出願日】 平成15年 3月25日

## 【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209961

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置

【特許請求の範囲】

【請求項 1】 入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、

初段の一方電極が前記駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1 ～ 第 N (ただし、N は 2 以上の整数である) のキャパシタ、

前記入力電位を前記駆動回路の入力ノードに与えるとともに、前記第 1 のキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 のキャパシタを前記オフセット電圧に充電させる第 1 の切換回路、

前記第 2 ～ 第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に前記入力電位を与えるとともに、選択したキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 ～ 第 N のキャパシタを前記オフセット電圧に充電させる第 2 の切換回路、および

前記第 N のキャパシタの他方電極に前記入力電位を与える第 3 の切換回路を備える、オフセット補償回路。

【請求項 2】 入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、

初段の一方電極が前記駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1 ～ 第 N (ただし、N は 2 以上の整数である) のキャパシタ、

基準電位を前記駆動回路の入力ノードに与えるとともに、前記第 1 のキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 のキャパシタを前記オフセット電圧に充電させる第 1 の切換回路、

前記第 2 ～ 第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に前記入力電位を与えるとともに、選択したキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 ～ 第 N のキャパシタを前記オフセ

ット電圧に充電させる第2の切換回路、および

前記第Nのキャパシタの他方電極に前記入力電位を与える第3の切換回路を備える、オフセット補償回路。

**【請求項3】** 前記第2の切換回路は、前記第1～第Nのキャパシタの他方電極とともに前記駆動回路の出力ノードに接続して前記第2～第Nのキャパシタの各々の端子間電圧を0Vにリセットした後、前記第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極を前記駆動回路の出力ノードから切離すとともに、選択したキャパシタの一方電極に前記入力電位を与える、前記第1～第Nのキャパシタを前記オフセット電圧に充電させる、請求項1または請求項2に記載のオフセット補償回路。

**【請求項4】** 入力電位に応じた電位を出力する駆動回路と、前記駆動回路のオフセット電圧を補償する請求項1から請求項3のいずれかに記載のオフセット補償回路とを備える、オフセット補償機能付駆動回路。

**【請求項5】** 前記駆動回路は、そのドレインが第1の電源電位を受け、そのソースが前記出力ノードに接続され、そのゲートが前記入力ノードに接続された第1の導電形式の第1のトランジスタ、および

前記出力ノードと第2の電源電位のラインとの間に接続された第1の定電流源を含む、請求項4に記載のオフセット補償機能付駆動回路。

**【請求項6】** 前記駆動回路は、さらに、前記入力ノードと前記第1のトランジスタのゲートとの間に設けられ、前記入力電位を予め定められた第1の電圧だけ前記第1の電源電位側にレベルシフトさせた電位を前記第1のトランジスタのゲートに与えるレベルシフト回路を含み、

前記レベルシフト回路は、

第3の電源電位のラインと前記第1のトランジスタのゲートとの間に接続された第2の定電流源、および

そのソースが前記第1のトランジスタのゲートに接続され、そのドレインが第4の電源電位のラインに接続され、そのゲートが前記入力電位を受ける第2の導電形式の第2のトランジスタを含む、請求項5に記載のオフセット補償機能付駆

動回路。

**【請求項 7】** 前記駆動回路は、さらに、前記第1のトランジスタのソースと前記出力ノードとの間に介挿され、そのゲートが前記出力ノードに接続された第2の導電形式の第3のトランジスタを含み、

前記レベルシフト回路は、さらに、前記第1のトランジスタのゲートと前記第2のトランジスタのソースとの間に介挿され、そのゲートが前記第1のトランジスタのゲートに接続された第1の導電形式の第4のトランジスタを含む、請求項6に記載のオフセット補償機能付駆動回路。

**【請求項 8】** 前記駆動回路は、

第1の電源電位のラインと前記出力ノードとの間に接続されたトランジスタ、前記出力ノードと第2の電源電位のラインとの間に接続された定電流源、および

前記出力ノードの電位が前記入力電位の電位に一致するように前記トランジスタのゲート電位を制御する差動増幅回路を含む、請求項4に記載のオフセット補償機能付駆動回路。

**【請求項 9】** 請求項4から請求項8のいずれかに記載のオフセット補償機能付駆動回路と、

前記オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備える、液晶表示装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

この発明はオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関し、特に、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関する。

**【0002】**

**【従来の技術】**

従来より、駆動回路のオフセット電圧をキャンセルするオフセット補償回路が

提案されている。このオフセット補償回路では、キャパシタをオフセット電圧に充電し、そのキャパシタを駆動回路の入力ノードに接続することによってオフセット電圧を補償する（たとえば特許文献1参照）。

### 【0003】

#### 【特許文献1】

特開2000-114889号公報

### 【0004】

#### 【発明が解決しようとする課題】

しかし、従来のオフセット補償回路では、駆動回路の入力ノードの寄生容量の影響によりキャパシタの電圧が損失され、オフセット電圧を正確にキャンセルすることができないという問題があった。

### 【0005】

キャパシタの容量値を寄生容量よりも十分に大きくすれば損失電圧を小さくすることができるが、そのためにはキャパシタの面積を大きくする必要があり、オフセット補償回路の占有面積が増大してしまう。オフセット補償回路を液晶表示装置のデータ線駆動回路に用いる場合、多数のオフセット補償回路が必要になるので、特に問題が大きくなる。

### 【0006】

それゆえに、この発明の主たる目的は、オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置を提供することである。

### 【0007】

#### 【課題を解決するための手段】

この発明に係るオフセット補償回路は、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第N（ただし、Nは2以上の整数である）のキャパシタと、入力電位を駆動回路の入力ノードに与えるとともに、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタを前記オフセット電圧に充電させ

る第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えるとともに、選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路を備えたものである。

#### 【0008】

また、この発明に係る他のオフセット補償回路は、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第N（ただし、Nは2以上の整数である）のキャパシタと、基準電位を駆動回路の入力ノードに与えるとともに、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタを前記オフセット電圧に充電させる第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えるとともに、選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路を備えたものである。

#### 【0009】

また、この発明に係るオフセット補償機能付駆動回路は、入力電位に応じた電位を出力する駆動回路と、上記オフセット補償回路とを備えたものである。

#### 【0010】

また、この発明に係る液晶表示装置は、上記オフセット補償機能付駆動回路と、オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備えたものである。

#### 【0011】

##### 【発明の実施の形態】

###### 【実施の形態1】

図1は、この発明の実施の形態1によるカラー液晶表示装置の構成を示すプロック図である。図1において、このカラー液晶表示装置は、液晶パネル1、垂直

走査回路 7 および水平走査回路 8 を備え、たとえば携帯電話機に設けられる。

#### 【0012】

液晶パネル 1 は、複数行複数列に配列された複数の液晶セル 2 と、各行に対応して設けられた走査線 4 および共通電位線 5 と、各列に対応して設けられたデータ線 6 とを含む。

#### 【0013】

液晶セル 2 は、各行において 3 つずつ予めグループ化されている。各グループの 3 つの液晶セル 2 には、それぞれ R, G, B のカラーフィルタが設けられている。各グループの 3 つの液晶セル 2 は、1 つの画素 3 を構成している。

#### 【0014】

各液晶セル 2 には、図 2 に示すように、液晶駆動回路 10 が設けられている。液晶駆動回路 10 は、N 型トランジスタ 11 およびキャパシタ 12 を含む。N 型トランジスタ 11 は、データ線 6 と液晶セル 2 の一方電極 2a との間に接続され、そのゲートは走査線 4 に接続される。キャパシタ 12 は、液晶セル 2 の一方電極 2a と共通電位線 5 との間に接続される。液晶セル 2 の他方電極には駆動電位 VDD が与えられ、共通電位線 5 には共通電位 VSS が与えられる。

#### 【0015】

図 1 に戻って、垂直走査回路 7 は、画像信号に従って、複数の走査線 4 を所定時間ずつ順次選択し、選択した走査線 4 を選択レベルの「H」レベルにする。走査線 4 が選択レベルの「H」レベルにされると、図 2 の N 型トランジスタ 11 が導通し、その走査線 4 に対応する各液晶セル 2 の一方電極 2a とその液晶セル 2 に対応するデータ線 6 とが結合される。

#### 【0016】

水平走査回路 8 は、画像信号に従って、垂直走査回路 7 によって 1 本の走査線 4 が選択されている間に各データ線 6 に階調電位 VG を与える。液晶セル 2 の光透過率は、階調電位 VG のレベルに応じて変化する。垂直走査回路 7 および水平走査回路 8 によって液晶パネル 1 の全液晶セル 2 が走査されると、液晶パネル 1 の 1 つの画像が表示される。

#### 【0017】

図3は、図1に示した水平走査回路8の要部を示す回路図である。図3において、この水平走査回路8は、各データ線6に階調電位VGを与える前に各データ線6の電位をプリチャージ電位VPCにするためのイコライザ+プリチャージ回路15を含む。

#### 【0018】

イコライザ+プリチャージ回路15は、各データ線6に対応して設けられたスイッチ16と、各隣接する2つのデータ線6に対応して設けられたスイッチ17とを含む。スイッチ16の一方端子はプリチャージ電位VPCを受け、その他の端子は対応のデータ線6に接続される。スイッチ16は、プリチャージ信号 $\phi_{PC}$ が活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ16がオンされると、各データ線6はプリチャージ電位VPCにされる。スイッチ17は、2つのデータ線6間に接続され、イコライズ信号 $\phi_{EQ}$ が活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ17がオンされると、全データ線6の電位が平均化される。スイッチ16, 17がオフにされた後、各データ線6に階調電位VGが与えられる。ここでは、プリチャージ電位VCPを0Vとする。

#### 【0019】

図4は、データ線6に階調電位VGを与えるための階調電位発生回路20およびオフセット補償機能付駆動回路25を含む。階調電位発生回路20およびオフセット補償機能付駆動回路25は、データ線6の数だけ設けられている。

#### 【0020】

階調電位発生回路20は、第1電源電位VH(5V)のラインと第2電源電位VL(0V)のラインとの間に直列接続されたn+1個(ただし、nは自然数である)の抵抗素子21. 1~21. n+1と、n+1個の抵抗素子21. 1~21. n+1の間のn個のノードと出力ノード20aとの間にそれぞれ接続されたn個のスイッチ22. 1~22. nとを含む。

#### 【0021】

n+1個の抵抗素子21. 1~21. n+1の間のn個のノードには、それぞれn段階の電位が現われる。スイッチ22. 1~22. nは、画像ノード信号 $\phi$

Pによって制御され、それらのうちのいずれか1つのみが導通状態にされる。出力ノード20aには、n段階の電位のうちのいずれか1つの段階の電位が階調電位VGとして出力される。オフセット補償機能付駆動回路25は、選択されたデータ線6が階調電位VGになるようにデータ線6に電流を供給する。

#### 【0022】

図5は、オフセット補償機能付駆動回路25の構成を示す回路図である。図5において、このオフセット補償機能付駆動回路25は、プッシュ型駆動回路26、キャパシタ27.1, 27.2およびスイッチS1, S2.1, S2.2, S3.1, S3.2, S4を含む。プリチャージ電位VCPは0Vであり、階調電位は0V～5Vであるので、データ線6の充電を行なえばよく、放電を行なう必要はない。そこで、このカラー液晶表示装置では、プッシュ型の駆動回路26が使用される。

#### 【0023】

プッシュ型駆動回路26は、図6に示すように、P型トランジスタ31～33、N型トランジスタ34, 35および定電流源36, 37を含む。P型トランジスタ31, 32は、それぞれ第3電源電位VH1（たとえば10V）のラインとノードN31, N32との間に接続され、それらのゲートはともにノードN32に接続される。P型トランジスタ31, 32は、カレントミラー回路を構成する。

#### 【0024】

N型トランジスタ34, 35は、それぞれノードN31, N32とノードN34との間に接続され、それらのゲートはそれぞれ入力ノードN21および出力ノードN22に接続される。定電流源36は、ノードN34から第4電源電位VL1（たとえば0V）のラインに所定の定電流を流出させる。P型トランジスタ33は、第3電源電位VH1のラインと出力ノードN22との間に接続され、そのゲートはノードN31に接続される。定電流源37は、出力ノードN22から第4電源電位VL1のラインに所定の定電流を流出させる。P型トランジスタ31, 32、N型トランジスタ34, 35および定電流源36は、差動増幅回路を構成する。

**【0025】**

N型トランジスタ34には、入力ノードN21の電位V21に応じたレベルの電流が流れる。N型トランジスタ35には、出力ノードN22の電位V22に応じたレベルの電流が流れる。P型トランジスタ31と32はカレントミラー回路を構成し、P型トランジスタ32とN型トランジスタ35は直列接続されているので、トランジスタ31, 32, 35には出力ノードN22の電位V22に応じたレベルの電流が流れる。

**【0026】**

V21がV22よりも高い場合は、P型トランジスタ31に流れる電流がN型トランジスタ34に流れる電流よりも小さくなつてノードN31の電位が低下し、P型トランジスタ33に流れる電流が大きくなつて電位V22が上昇する。V21がV22よりも低い場合は、P型トランジスタ31に流れる電流がN型トランジスタ34に流れる電流よりも大きくなつてノードN31の電位が上昇し、P型トランジスタ33に流れる電流が小さくなつて電位V22が低下する。したがつて、V21 = V22となる。

**【0027】**

つまり、プッシュ型駆動回路26は、入力インピーダンスが高く、出力インピーダンスが低く、電圧増幅率が1であるバッファ回路である。ただし、トランジスタ31～35のしきい値電圧のばらつきにより、入力電位V21と出力電位V22の間に電位差すなわちオフセット電圧VOFが生じる。たとえば、N型トランジスタ33, 34間でしきい値電圧VTNが異なる場合は、オフセット電圧VOFが生じる。このオフセット電圧VOFは、N型トランジスタ33, 34のしきい値電圧の差 |ΔVTN| で表わされる。

**【0028】**

図5に戻つて、プッシュ型駆動回路26の入力ノードN21は、寄生容量C0を有する。図5では、この寄生容量C0は、入力ノードN21と接地電位GNDのラインとの間に接続されたキャパシタ28で示されている。また、負荷容量は、出力ノードN23と接地電位GNDのラインとの間に接続されたキャパシタ29で示されている。キャパシタ27.1, 27.2およびスイッチS1, S2.

1, S2.2, S3.2, S4は、プッシュ型駆動回路26のオフセット電圧V<sub>OF</sub>を補償するためのオフセット補償回路を構成している。

#### 【0029】

すなわち、スイッチS1は入力ノードN20と駆動回路26の入力ノードN21との間に接続され、スイッチS4は出力ノードN23と駆動回路26の出力ノードN22との間に接続される。キャパシタ27.1およびスイッチS2.1は、駆動回路26の入力ノードN21と出力ノードN22の間に直列接続される。スイッチS3.1は、入力ノードN20とキャパシタ27.1およびスイッチS2.1間のノードN1との間に接続される。キャパシタ27.2およびスイッチS2.2は、ノードN1とN22の間に直列接続される。スイッチS3.2は、入力ノードN20とキャパシタ27.2およびスイッチS2.2間のノードN2との間に接続される。

#### 【0030】

スイッチS1, S2.1, S2.2, S3.1, S3.2, S4の各々は、P型トランジスタでもよいし、N型トランジスタでもよいし、P型トランジスタおよびN型トランジスタを並列接続したものでもよい。スイッチS1, S2.1, S2.2, S3.1, S3.2, S4の各々は、制御信号（図示せず）によってオン／オフ制御される。

#### 【0031】

今、駆動回路26の出力電位V22が入力電位V21よりもオフセット電圧V<sub>OF</sub>だけ低い場合について説明する。図7に示すように、初期状態では、すべてのスイッチS1, S2.1, S2.2, S3.1, S3.2, S4はオフ状態にされている。ある時刻t1においてスイッチS1, S2.1, S2.2がオンされると、駆動回路26の入力ノードN21の電位V21はV21=V<sub>I</sub>になり、駆動回路26の出力電位V22およびノードN1, N2の電位V1, V2はV22=V1=V2=V<sub>I</sub>-V<sub>OF</sub>となり、キャパシタ27.1はオフセット電圧V<sub>OF</sub>に充電されるとともにキャパシタ27.2の端子内電圧が0Vにリセットされる。

#### 【0032】

次に時刻  $t_2$  においてスイッチ  $S_1, S_2.1$  がオフされると、オフセット電圧  $V_{OF}$  がキャパシタ  $27.1$  に保持される。次いで時刻  $t_3$  においてスイッチ  $S_3.1$  がオンされると、ノード  $N_1$  の電位  $V_1$  は  $V_1 = V_I$  になる。もし駆動回路  $26$  の入力ノード  $N_{21}$  に寄生容量  $C_0$  がなければ、駆動回路  $26$  の入力電位  $V_{21}$  は  $V_{21} = V_I + V_{OF}$  となり、駆動回路  $26$  の出力電位  $V_{22}$  は  $V_{22} = V_I$  となる。しかし、実際には寄生容量  $C_0$  があるので、駆動回路  $26$  の入力電位  $V_{21}$  は  $V_{21} = V_I + V_{OF} - \Delta V_1$  となり、駆動回路  $26$  の出力電位  $V_{22}$  は  $V_{22} = V_I - \Delta V_1$  となる。この損失電圧  $\Delta V_1$  は、キャパシタ  $27.1$  のキャパシタンスを  $C_1$  とすると次式で表わされる。

$$\Delta V_1 = V_{OF} \cdot C_0 / (C_0 + C_1) \quad \cdots (1)$$

また、このときスイッチ  $S_{2.2}, S_{3.1}$  がオンし、スイッチ  $S_{3.2}$  がオフしているので、ノード  $N_2$  の電位  $V_2$  は  $V_2 = V_I - \Delta V_1$  となる。すなわち、ノード  $N_2$  の電位  $V_2$  は 1 回目のオフセットキャンセル動作で生じる損失電圧  $\Delta V_1$  だけ入力電位  $V_I$  よりも低い電位になり、キャパシタ  $27.2$  は  $\Delta V_1$  に充電される。

### 【0033】

時刻  $t_4$  においてスイッチ  $S_{2.2}, S_{3.1}$  がオフされた後、時刻  $t_5$  においてスイッチ  $S_{3.2}$  がオンされると、ノード  $N_2$  の電位  $V_2$  が  $V_I - \Delta V_1$  から  $V_I$  に変化する。すなわち、ノード  $N_2$  の電位  $V_2$  が  $\Delta V_1$  だけ上昇する。この変化分  $\Delta V_1$  は、キャパシタ  $27.2, 27.1$  を介してノード  $N_{21}$  に伝達され、ノード  $N_{21}$  の電位  $V_{21}$  が上昇する。ただし、この場合も寄生容量  $C_0$  によって損失電圧  $\Delta V_2$  が生じ、ノード  $N_{21}$  の電位  $V_{21}$  は  $\Delta V_1 - \Delta V_2$  だけ上昇し、 $V_{21} = V_I + V_{OF} - \Delta V_1 + \Delta V_1 - \Delta V_2 = V_I + V_{OF} - \Delta V_2$  となる。

### 【0034】

ノード  $N_{21}$  の電位  $V_{21}$  の上昇により、ノード  $N_{22}$  の電位  $V_{22}$  も同じ電圧  $\Delta V_1 - \Delta V_2$  だけ上昇し、 $V_{22} = V_I - \Delta V_1 + \Delta V_1 - \Delta V_2 = V_I - V_2$  となる。なお、ノード  $N_1$  の電位  $V_1$  は、キャパシタ  $27.1, 27.2$  のキャパシタンスをそれぞれ  $C_1, C_2$  とすると、次式 (2) で表わされる。

$$V_1 = V_I + \Delta V_1 \cdot C_2 / [C_2 + C_0 \cdot C_1 / (C_0 + C_1)] \quad \cdots (2)$$

また、 $\Delta V_2$  は次式 (3) で表わされる。

$$\Delta V_2 = \Delta V_1 \cdot C_0 / [C_0 + C_1 \cdot C_2 / (C_1 + C_2)] \quad \cdots (3)$$

ここで、説明を容易にするために  $C_1 = C_2$  とすると、 $\Delta V_2 = \Delta V_1 \cdot C_0 / (C_0 + C_1 / 2)$  となる。さらに、 $C_0 / C_1 = 1 / 10$  とすると、 $\Delta V_2 = \Delta V_1 \cdot 1 / 6$  となる。すなわち、2回目のオフセットキャンセル動作による損失分  $\Delta V_2$  は1回目の損失分  $\Delta V_1$  の  $1 / 6$  に低減される。

### 【0035】

1つのキャパシタを用いて1回のオフセットキャンセル動作を行なう従来の方法で損失分  $\Delta V_1$  を  $1 / 6$  にするためには、6倍の面積のキャパシタが必要になる。他方、この実施の形態1では、2つのキャパシタ 27.1, 27.2 を用いるので、キャパシタの面積を2倍したことになるが、損失分  $\Delta V_1$  を  $1 / 6$  にするためのキャパシタの面積は従来の  $2 / 6 = 1 / 3$  ですむ。なお、スイッチ S2.2, S3.2 の面積はキャパシタに比べて十分に小さい。

### 【0036】

次に、時刻  $t_6$  においてスイッチ S4 がオンされると、出力電位  $V_O$  が  $V_O = V_I - \Delta V_2$  となり負荷に供給される。なお、スイッチ S4 は必ずしも必要でない。ただし、スイッチ S4 を設けないと、負荷容量が大きい場合は時刻  $t_1$  においてスイッチ S1, S2.1, S2.2 をオンしてからキャパシタ 27.1 の端子間電圧  $V_{OF}$  が安定するまでの時間が長くなる。

### 【0037】

図8は、この実施の形態1の変更例となるオフセット補償機能付駆動回路38の構成を示す回路図である。図8を参照して、このオフセット補償機能付駆動回路38が図5のオフセット補償機能付駆動回路25と異なる点は、2つのキャパシタ 27.1, 27.2、2つのスイッチ S2.1, S2.2 および2つのスイッチ S3.1, S3.2 が  $m$  個（ただし、 $m$  は3以上の整数である）のキャパシタ 27.1～27.m、 $m$  個のスイッチ S2.1～S2.m および  $m$  個のスイッチ S3.1～S3.m で置換されている点である。

### 【0038】

キャパシタ27. 1の一方電極は駆動回路26の入力ノードに接続され、キャパシタ27. 2～27. mの一方電極はそれぞれキャパシタ27. 1～27. m-1の他方電極に接続される。スイッチS2. 1～S2. mの一方端子はともにノードN22に接続され、それらの他方端子はそれぞれキャパシタ27. 1～27. mの他方電極に接続される。スイッチS3. 1～S3. mの一方端子はともにノードN20に接続され、それらの他方端子はそれぞれキャパシタ27. 1～27. mの他方電極に接続される。

#### 【0039】

ある時刻においてスイッチS1, S2. 1～S2. mがオンされ、キャパシタ27. 1がオフセット電圧VOFに充電されるとともに、キャパシタ27. 2～27. mの各々の端子間電圧が0Vにリセットされる。

#### 【0040】

スイッチS1, S2. 1がオフされた後、スイッチS3. 1がオンされてキャパシタ27. 2が第1損失電圧 $\Delta V_1$ に充電される。次いで、スイッチS2. 2がオフされるとともにスイッチS3. 2がオンされてキャパシタ27. 3が第2損失電圧 $\Delta V_2$ に充電される。以下、同様にして、キャパシタ27. mが第m-1損失電圧 $\Delta V_{m-1}$ に充電される。次に、スイッチS2. mがオフされるとともにスイッチS3. mがオンされる。

#### 【0041】

キャパシタ27. 1～27. mの各々のキャパシタンスをC1とすると、m回のオフセットキャンセル動作を行なった場合の損失電圧 $\Delta V_m$ は次式(4)で表わされる。

$$\Delta V_m = VOF \cdot C_0 / (C_0 + C_1) \cdot C_0 / (C_0 + C_1/2) \cdots C_0 / (C_0 + C_1/m) \quad \cdots (4)$$

ただし、損失電圧 $\Delta V_m$ はmを大きくするほどに小さくなっていくが、低減の程度も小さくなっている、逆にキャパシタ27. 1～27. mの面積増大の悪影響が相対的に大きくなるので、必要な出力電位精度に応じて最適な回数mを設定する必要がある。

#### 【0042】

## [実施の形態2]

図9は、この発明の実施の形態2によるオフセット補償機能付駆動回路の要部を示す回路図である。図9を参照して、このオフセット補償機能付駆動回路が図5のオフセット補償機能付駆動回路25と異なる点は、プッシュ型駆動回路26がプッシュ型駆動回路40で置換されている点である。

## 【0043】

このプッシュ型駆動回路40は、定電流源41、42、N型トランジスタ43、44およびP型トランジスタ45、46を含む。定電流源41、N型トランジスタ43およびP型トランジスタ45は、第3電源電位VH1（たとえば10V）のラインと第4電源電位VL1（たとえば0V）のラインとの間に直列接続される。P型トランジスタ45のゲートは、入力ノードN21に接続される。N型トランジスタ43のゲートは、そのドレイン（ノードN41）に接続される。N型トランジスタ43は、ダイオードを構成する。トランジスタ43、45の駆動電流は定電流源41の電流値よりも十分大きく設定されているので、P型トランジスタ45はソースフォロア動作を行ない、ノードN41の電位V41は $V41 = V21 + |VTP| + VTN$ となる。ここで、VTPはP型トランジスタのしきい値電圧であり、VTNはN型トランジスタのしきい値電圧である。

## 【0044】

N型トランジスタ44、P型トランジスタ46および定電流源42は、第5電源電位VH2（たとえば10V）のラインと第6電源電位VL2（たとえば0V）のラインとの間に直列接続される。N型トランジスタ44のゲートは、ノードN41の電位V41を受ける。P型トランジスタ46のゲートは、そのドレイン（出力ノードN22）に接続される。トランジスタ44、46の駆動電流は定電流源42の電流値よりも十分大きく設定されているので、N型トランジスタ44はソースフォロア動作を行ない、出力ノードN22の電位V22は $V22 = V41 - VTN - |VTP| = V21$ となる。

## 【0045】

すなわち、このプッシュ型駆動回路40は、定電流源41、N型トランジスタ43およびP型トランジスタ45からなるレベルシフト回路とN型トランジスタ

44、P型トランジスタ46および定電流源42からなるレベルシフト回路とを2段接続した回路である。この駆動回路40は、予め低い電位にプリチャージされたノードをトランジスタ44, 46を介して充電して出力ノードN22の電位V22を入力ノードN21の電位V21に上昇させる動作を行なう。

#### 【0046】

N型トランジスタ43と44のしきい値電圧V<sub>TN</sub>が同じであり、P型トランジスタ45と46のしきい値電圧V<sub>TP</sub>が同じである場合、この駆動回路40はオフセット電圧V<sub>OF</sub>を有しない。しかし、N型トランジスタ43と44のしきい値電圧V<sub>TN</sub>が異なる場合および／またはP型トランジスタ45と46のしきい値電圧V<sub>TP</sub>が異なる場合は、オフセット電圧V<sub>OF</sub>が発生する。この場合、N型トランジスタ43と44のしきい値電圧V<sub>TN</sub>の差を $\Delta V_{TN}$ とし、P型トランジスタ45と46のしきい値電圧V<sub>TP</sub>の差を $\Delta V_{TP}$ とすると、オフセット電圧V<sub>OF</sub>は $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$ となる。このオフセット電圧V<sub>OF</sub>は、上述した複数回のオフセットキャンセル動作により低減化される。

#### 【0047】

この実施の形態2では、実施の形態1に比べ、駆動回路の貫通電流が小さくなり、消費電力の低減化が図られる。

#### 【0048】

以下、この実施の形態2の変更例について説明する。図10のプッシュ型駆動回路47は、図9のプッシュ型駆動回路40からN型トランジスタ43およびP型トランジスタ46を除去したものである。ノードN41の電位V41は $V41 = V21 + |V_{TP}|$ となり、出力電位V22は $V22 = V41 - V_{TN} = V21 + |V_{TP}| - V_{TN}$ となる。したがって、この駆動回路47は、初期的にオフセット電圧 $V_{OF} = V_{TN} - |V_{TP}|$ を有している。このオフセット電圧V<sub>OF</sub>は、上述した複数回のオフセットキャンセル動作により低減化される。

#### 【0049】

図11のプッシュ型駆動回路48は、図10のプッシュ型駆動回路47から定電流源41およびP型トランジスタ45を除去し、N型トランジスタ44のゲートを入力ノードN21に接続したものである。出力電位V22は $V22 = V21$

－V<sub>TN</sub>となる。したがって、この駆動回路48は、初期的にオフセット電圧V<sub>OF</sub>=V<sub>TN</sub>を有している。このオフセット電圧V<sub>OF</sub>は、上述した複数回のオフセットキャンセル動作により低減化される。

### 【0050】

#### [実施の形態3]

図12は、この発明の実施の形態3によるオフセット補償機能付駆動回路の要部を示す回路図である。図12を参照して、このオフセット補償機能付駆動回路が図5のオフセット補償機能付駆動回路25と異なる点は、プッシュ型駆動回路26がプル型駆動回路50で置換されている点である。図3で説明したプリチャージ電位V<sub>CP</sub>が5Vの場合は、階調電位V<sub>G</sub>は0～5Vであるのでデータ線6の放電を行なえばよく、充電を行なう必要はない。この場合、プル型の駆動回路50が使用される。

### 【0051】

このプル型駆動回路50は、N型トランジスタ51、52、P型トランジスタ53、54および定電流源55、56を含む。N型トランジスタ51、P型トランジスタ53および定電流源55は、第7電源電位V<sub>H3</sub>（たとえば5V）のラインと第8電源電位V<sub>L3</sub>（たとえば-10V）のラインとの間に直列接続される。N型トランジスタ51のゲートは、入力ノードN<sub>21</sub>に接続される。P型トランジスタ53のゲートは、そのドレイン（ノードN<sub>55</sub>）に接続される。P型トランジスタ53は、ダイオードを構成する。トランジスタ51、53の駆動電流は定電流源55の電流値よりも十分大きく設定されているので、N型トランジスタ51はソースフォロア動作を行ない、ノードN<sub>55</sub>の電位V<sub>55</sub>はV<sub>55</sub>=V<sub>21</sub>-V<sub>TN</sub>-|V<sub>TP</sub>|となる。

### 【0052】

定電流源56、N型トランジスタ52およびP型トランジスタ54は、第9電源電位V<sub>H4</sub>（たとえば5V）のラインと第10電源電位V<sub>L4</sub>（たとえば-10V）とのラインとの間に直列接続される。P型トランジスタ54のゲートは、ノードN<sub>55</sub>に接続される。N型トランジスタ51のゲートは、そのドレイン（出力ノードN<sub>22</sub>）に接続される。トランジスタ52、54の駆動電流は定電流

源 5 6 の電流値よりも十分大きく設定されているので、P型トランジスタ 5 4 はソースフォロア動作を行ない、出力ノード N 2 2 の電位 V 2 2 は  $V_{22} = V_{55} + |V_{TP}| + V_{TN} = V_{21}$  となる。

#### 【0053】

つまり、このプル型駆動回路 5 0 は、N型トランジスタ 5 1、P型トランジスタ 5 3 および定電流源 5 5 からなるレベルシフト回路と定電流源 5 6、N型トランジスタ 5 2 およびP型トランジスタ 5 4 を用いたレベルシフト回路とを2段接続した回路である。この駆動回路 5 0 は、予め高い電位にプリチャージされたノードをトランジスタ 5 2、5 4 を介して放電し、出力ノード N 2 2 の電位 V 2 2 を入力ノード N 2 1 の電位 V 2 1 に低下させる動作を行なう。

#### 【0054】

N型トランジスタ 5 1 と 5 2 のしきい値電圧 V TN が同じであり、P型トランジスタ 5 3 と 5 4 のしきい値電圧 V TP が同じである場合、この駆動回路 5 0 はオフセット電圧 V OF を有しない。しかし、N型トランジスタ 5 1 と 5 2 のしきい値電圧 V TN が異なる場合および／またはP型トランジスタ 5 3 と 5 4 のしきい値電圧 V TP が異なる場合は、オフセット電圧 V OF が発生する。この場合、N型トランジスタ 5 1 と 5 2 のしきい値電圧 V TN の差を  $\Delta V_{TN}$  とし、P型トランジスタ 5 3 と 5 4 のしきい値電圧 V TP の差を  $\Delta V_{TP}$  とすると、オフセット電圧 V OF は  $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$  となる。このオフセット電圧 V OF は、上述した複数回のオフセットキャンセル動作により低減化される。

#### 【0055】

この実施の形態 3 でも、実施の形態 1 に比べて駆動回路の貫通電流が小さくなり、消費電流の低減化が図られる。

#### 【0056】

以下、この実施の形態 3 の変更例について説明する。図 1 3 のプル型駆動回路 5 7 は、図 1 2 のプル型駆動回路 5 0 から P型トランジスタ 5 3 および N型トランジスタ 5 2 を除去したものである。ノード N 5 5 の電位 V 5 5 は  $V_{55} = V_{21} - V_{TN}$  となり、出力電位 V 2 2 は  $V_{22} = V_{21} - V_{TN} + |V_{TP}|$  となる。したがって、この駆動回路 5 7 は、初期的にオフセット電圧  $V_{OF} = V_{TN}$

－|VTP|を有している。このオフセット電圧VOFは、上述した複数回のオフセットキャンセル動作により低減化される。

#### 【0057】

図14のプル型駆動回路58は、図13のプル型駆動回路57からN型トランジスタ51および定電流源55を除去し、P型トランジスタ54のゲートを入力ノードN21に接続したものである。出力電位V22は $V22 = V21 + |VP_T|$ となる。したがって、この駆動回路58は、初期的にオフセット電圧VOF = VTNを有している。このオフセット電圧VOFは、上述のオフセットキャンセル動作により低減化される。

#### 【0058】

##### 〔実施の形態4〕

図15は、この発明の実施の形態4によるオフセット補償機能付駆動回路60の構成を示す回路ブロック図である。図15を参照して、このオフセット補償機能付駆動回路60は、オフセット補償機能付プッシュ型駆動回路61およびオフセット補償機能付プル型駆動回路62を並列接続したものであり、図3で説明したプリチャージ電位VCPが0～5Vの間の電位たとえば2.5Vの場合に使用される。

#### 【0059】

オフセット補償機能付プッシュ型駆動回路61は、実施の形態1、2で示した複数のオフセット補償機能付プッシュ型駆動回路のうちのいずれかと同じものである。オフセット補償機能付プル型駆動回路62は、実施の形態3で示した複数のオフセット補償機能付プル型駆動回路のうちのいずれかと同じものである。スイッチS4.1、S4.2は、実際にはそれぞれ駆動回路61、62に含まれているが、説明および理解の簡単化のため、駆動回路61、62とは別に記載されている。

#### 【0060】

データ線6すなわち出力ノードN23がプリチャージ電位VCPにプリチャージされた後、入力ノードN20に階調電位VGが与えられると、駆動回路61、62の各々において図7で示したオフセットキャンセル動作が行われ、スイッチ

S4.1, S4.2がともにオンされて出力ノードN23が階調電位V<sub>G</sub>に駆動される。このとき2つの駆動回路61, 62は同じ電位を出力するので、貫通電流は流れない。また、この状態でデータ線6にプラスのノイズが発生した場合はプル型駆動回路62が動作し、データ線6にマイナスのノイズが発生した場合はプッシュ型駆動回路61が動作し、データ線6に生じたノイズを低い出力インピーダンスで低レベルに抑制することができる。

#### 【0061】

この実施の形態4では、プリチャージ電位V<sub>CP</sub>を0～5Vの間の電位たとえば2.5Vにしたので、プリチャージ電位V<sub>CP</sub>を0Vまたは5Vにした場合に比べ、データ線6の電位を高速に設定することができ、かつ消費電力の低減化を図ることができる。

#### 【0062】

##### [実施の形態5]

図16は、この発明の実施の形態5によるオフセット補償機能付駆動回路65の構成を示す回路ブロック図である。図16を参照して、このオフセット補償機能付駆動回路65は、図5のオフセット補償機能付駆動回路25のスイッチS1の一方端子を入力ノードN20の代りに基準電位V<sub>R</sub>（たとえば2.5V）のノードN60に接続したものである。基準電位V<sub>R</sub>は、液晶表示装置の外部から直接供給してもよいし、液晶表示装置内に設けられた低出力インピーダンスの電源回路から供給してもよい。入力ノードN20は、スイッチS3.1, S3.2の一方端子に接続されている。スイッチS1, S2.1, S2.2, S3.1, S3.2, S4の制御方法は、実施の形態1で説明したとおりである。

#### 【0063】

次に、キャパシタ27.1およびスイッチS1, S2.1, S3.1を用いて行われる1回目のオフセットキャンセル動作に注目して、このオフセット補償機能付駆動回路65の効果について説明する。ここでは、駆動回路26の出力電位V22が入力電位V21よりもオフセット電圧V<sub>OF</sub>だけ低い場合について説明する。

#### 【0064】

まずスイッチS1, S2. 1がオンすると、駆動回路26の入力電位V21は基準電位VRになり、駆動回路26の出力電位V22およびノードN1の電位V1は $V21 - VOF = VR - VOF$ となり、キャパシタ27. 1はオフセット電圧VOFに充電される。

### 【0065】

次にスイッチS1, S2. 1がオフされると、オフセット電圧VOFがキャパシタ27. 1に保持される。次いでスイッチS3. 1がオンされると、ノードN1の電位V1は $VR - VOF$ からVIに変化する。この変化分がキャパシタ27. 1を介して駆動回路26の入力ノードN21に伝達される。 $VI > VR - VOF$ とすると、駆動回路26の入力ノードN21の電圧変化 $\Delta V$ は次式で表される。

$$\Delta V = [VI - (VR - VOF)] \cdot C1 / (C0 + C1) \quad \dots (5)$$

ここで、 $C1 / (C0 + C1) = 1 / (1 + C0 / C1)$  であり、 $C0 \ll C1$  とすると、 $1 / (1 + C0 / C1) \approx 1 - C0 / C1$  となる。 $C0 / C1 = r$  とすると、 $1 - C0 / C1 = 1 - r$  となり、この式を上式(5)に代入すると、次式が得られる。

$$\Delta V = [VI - (VR - VOF)] \cdot (1 - r) \quad \dots (6)$$

駆動回路26の入力電位V21は、基準電位VRに $\Delta V$ を加算した電位 $VR + \Delta V$ となり、これは次式で表される。

$$\begin{aligned} V21 &= VR + \Delta V = VR + [VI - (VR - VOF)] \cdot (1 - r) \\ &= VR + VI - VR + VOF - [VI - (VR - VOF)] \cdot r \\ &= VI + VOF - r \cdot VOF - r \cdot (VI - VR) \quad \dots (7) \end{aligned}$$

図5のオフセット補償機能付駆動回路25について同様の計算を行うと、以下のようになる。

$$\begin{aligned} V21 &= VI + VOF - VOF \cdot C0 / (C0 + C1) \\ &= VI + VOF - VOF \cdot (C0 / C1) / (C0 / C1 + 1) \\ &= VI + VOF - VOF \cdot r / (1 + r) \\ &\approx VI + VOF - VOF \cdot r \cdot (1 - r) \\ &= VI + VOF - VOF \cdot (r - r^2) \end{aligned}$$

ここで  $r^2 \neq 0$  とすると、次式が得られる。

$$V_{21} = V_I + V_{OF} - r \cdot V_{OF} \quad \dots (8)$$

式 (7) と (8) を比較すると、図 16 のオフセット補償機能付駆動回路 65 の  $V_{21}$  は図 5 のオフセット補償機能付駆動回路 25 の  $V_{21}$  に比べて式 (7) の第 4 項分  $[-r \cdot (V_I - V_R)]$  だけ小さくなるが、この値は  $r$  を小さくし、オフセットキャンセル動作を複数回行うことにより無視可能な大きさになる。

#### 【0066】

図 4 で示した階調電位発生回路 20 から多数のオフセット補償機能付駆動回路 25 に同一の階調電位  $V_G$  を与える場合は、階調電位発生回路 20 の負荷容量値は多数の駆動回路 26 の入力容量値  $C_0$  の総和になり、階調電位  $V_G$  の安定化に必要な時間が長くなる。

#### 【0067】

しかし、オフセット補償機能付駆動回路 25 を図 16 のオフセット補償機能付駆動回路 65 で置換すると、駆動回路 26 の入力容量は基準電位  $V_R$  で充電されるので、階調電位発生回路 20 の負荷容量値が大幅に小さくなり、階調電位  $V_G$  が短時間で安定する。

#### 【0068】

図 17 は、この実施の形態の変更例を示す回路図である。図 17 を参照して、このオフセット補償機能付駆動回路 66 は、図 8 のオフセット補償機能付駆動回路 38 のスイッチ  $S_1$  の一方端子を入力ノード  $N_{20}$  の代りに基準電位  $V_R$  のノード  $N_{60}$  に接続したものである。この変更例でも、図 16 のオフセット補償機能付駆動回路 65 と同じ効果が得られる。

#### 【0069】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0070】

##### 【発明の効果】

以上のように、この発明に係るオフセット補償回路では、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第Nのキャパシタと、入力電位を駆動回路の入力ノードに与えるとともに、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタをオフセット電圧に充電させる第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えるとともに選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路とが設けられる。したがって、駆動回路の入力ノードの寄生容量の影響を小さくすることができ、オフセット電圧を正確にキャンセルすることができる。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるカラー液晶表示装置の全体構成を示すブロック図である。

【図2】 図1に示した各液晶セルに対応して設けられる液晶駆動回路の構成を示す回路図である。

【図3】 図1に示した水平走査回路に含まれるイコライザ+プリチャージ回路の構成を示す回路図である。

【図4】 図1に示した水平走査回路に含まれる階調電位発生回路およびオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

【図5】 図4に示したオフセット補償機能付駆動回路の構成を示す回路図である。

【図6】 図5に示したプッシュ型駆動回路の構成を示す回路図である。

【図7】 図5に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

【図8】 実施の形態1の変更例を示す回路図である。

【図9】 この発明の実施の形態2によるオフセット補償機能付駆動回路に含まれるプッシュ型駆動回路の構成を示す回路図である。

【図10】 実施の形態2の変更例を示す回路図である。

【図11】 実施の形態2の他の変更例を示す回路図である。

【図12】 この発明の実施の形態3によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図13】 実施の形態3の変更例を示す回路図である。

【図14】 実施の形態3の他の変更例を示す回路図である。

【図15】 この発明の実施の形態4によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図16】 この発明の実施の形態5によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図17】 実施の形態5の変更例を示す回路図である。

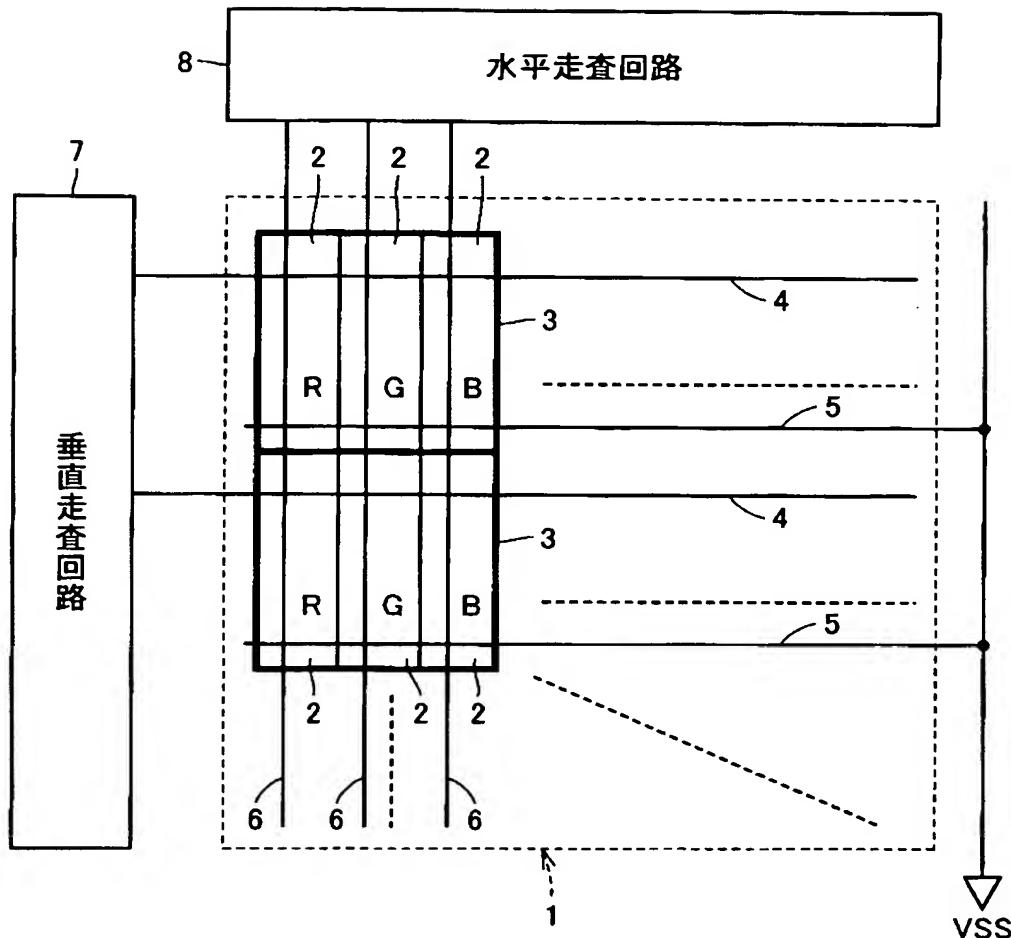
【符号の説明】

1 液晶パネル、2 液晶セル、3 画素、4 走査線、5 共通電位線、6 データ線、7 垂直走査回路、8 水平走査回路、10 液晶駆動回路、11, 34, 35, 43, 44, 51, 52 N型トランジスタ、12, 27, 28 キャパシタ、15 イコライザ+プリチャージ回路、16, 17, 22, S スイッチ、20 階調電位発生回路、21 抵抗素子、25, 38, 60~62, 65, 66 オフセット補償機能付駆動回路、26, 40, 47, 48, 50, 57, 58 駆動回路、31~33, 45, 46, 53, 54 P型トランジスタ、36, 37, 41, 42, 55, 56 定電流源。

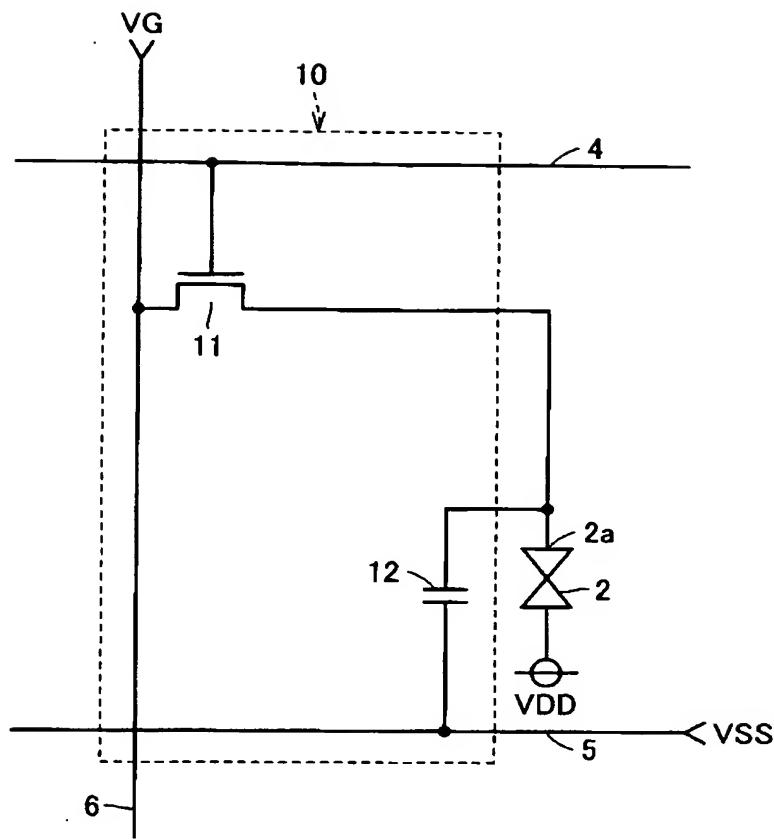
【書類名】

図面

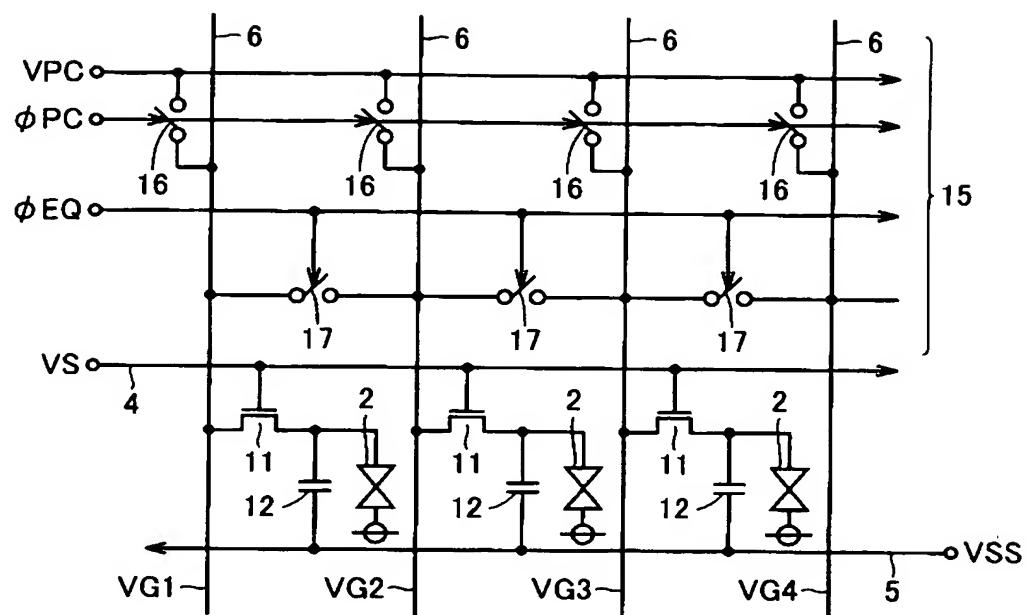
【図1】



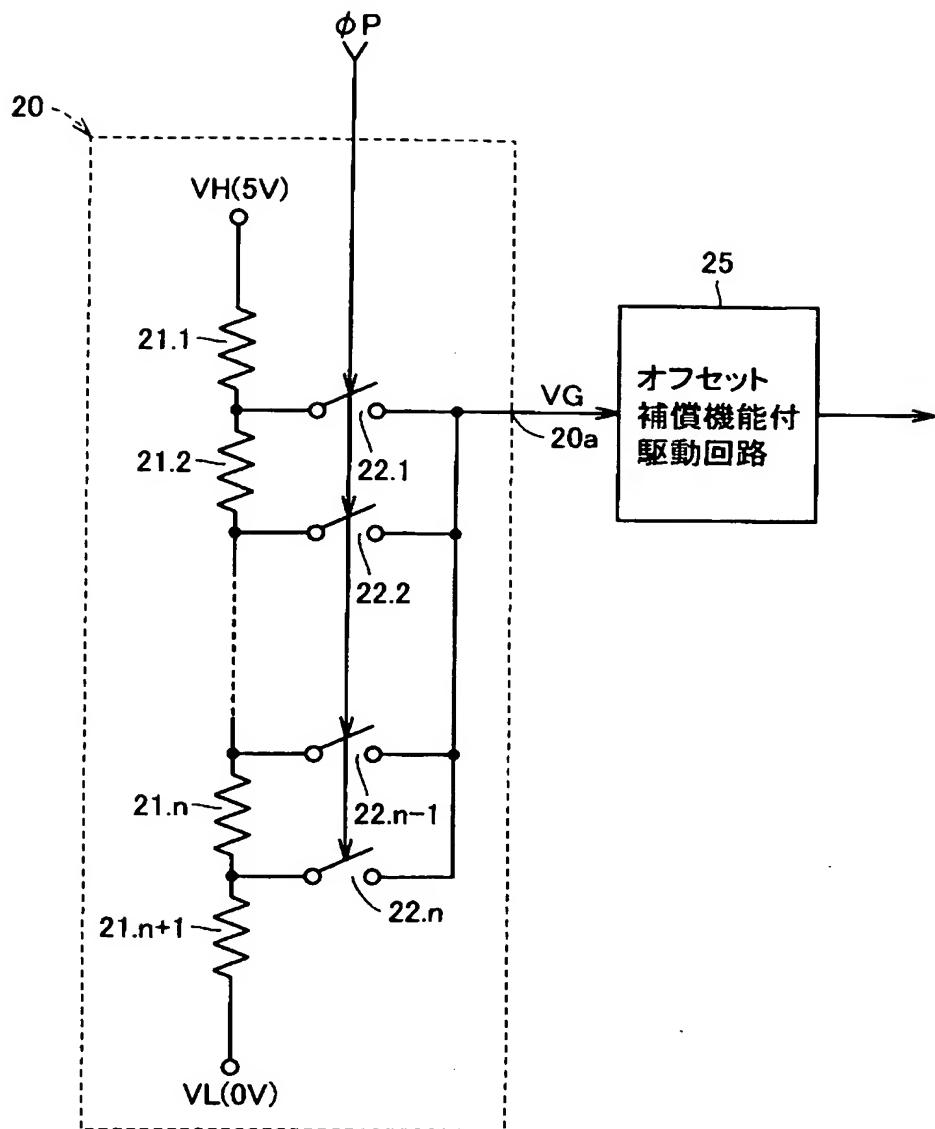
【図2】



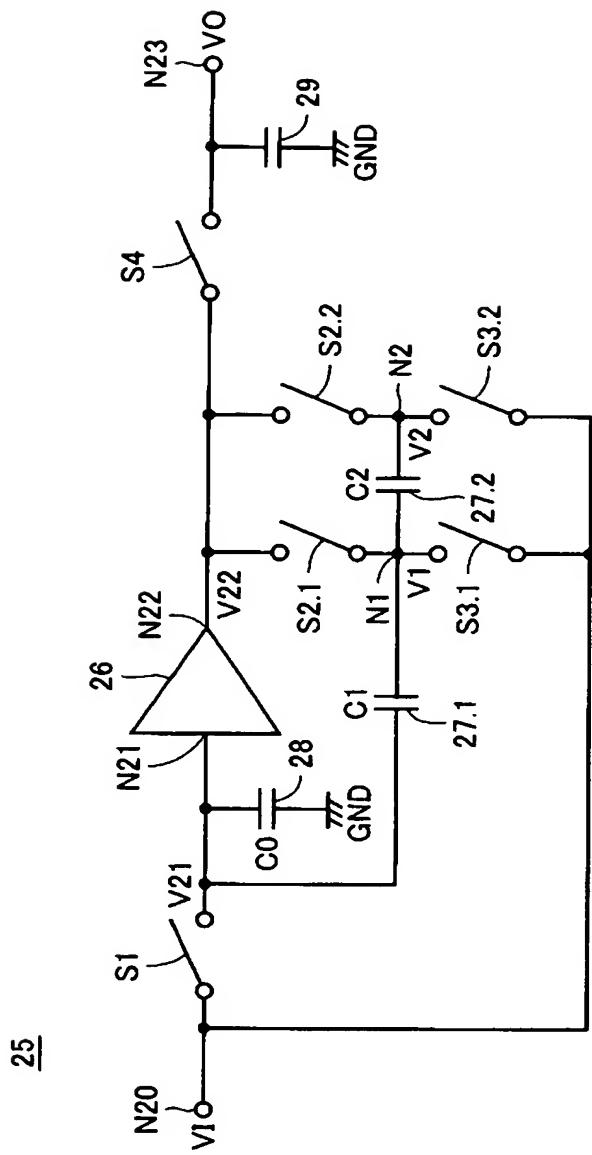
【図3】



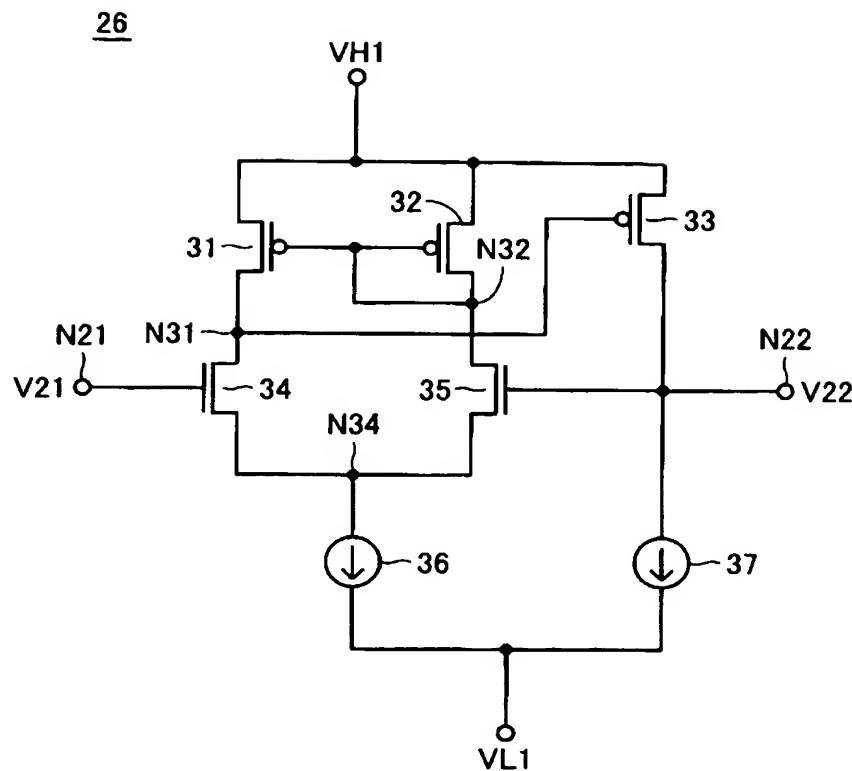
【図4】



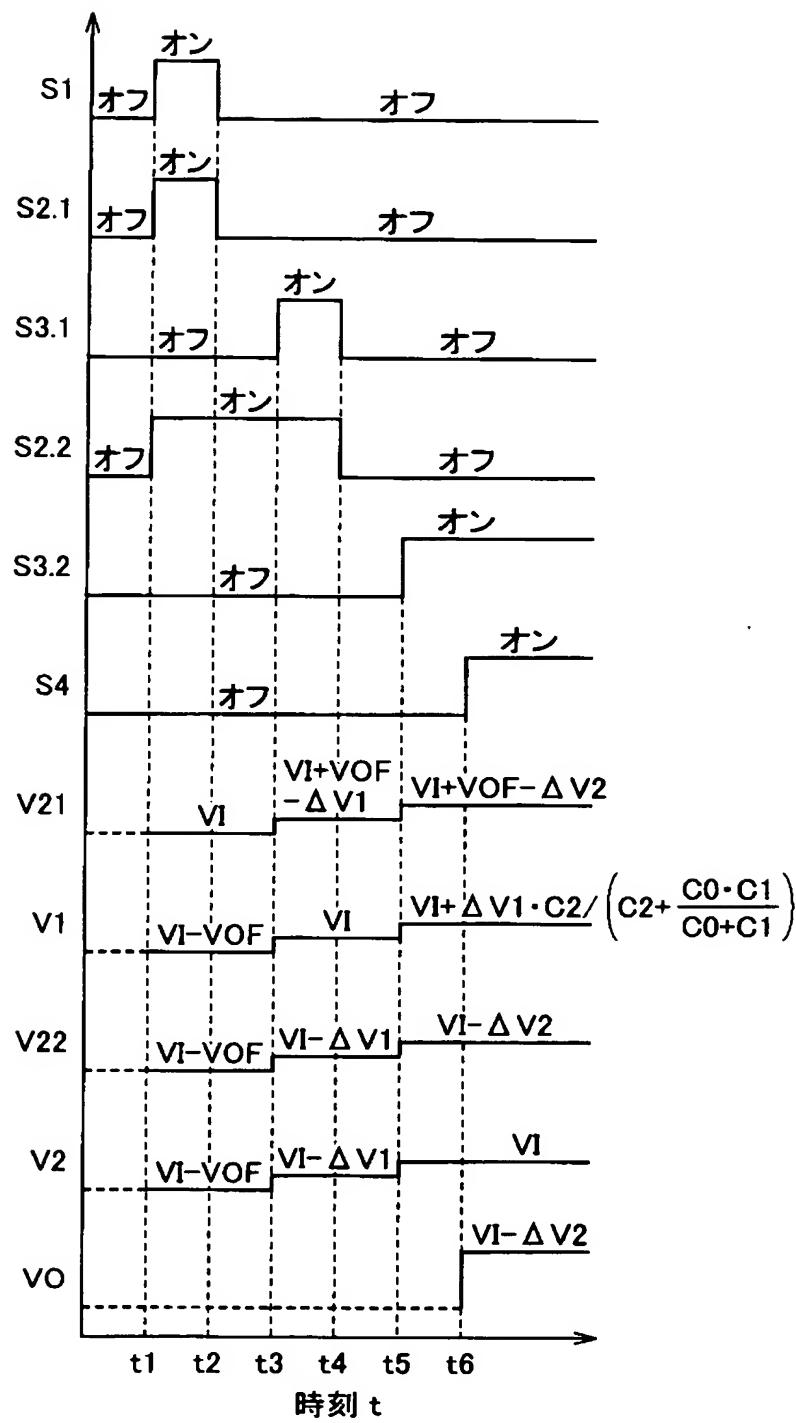
【図5】



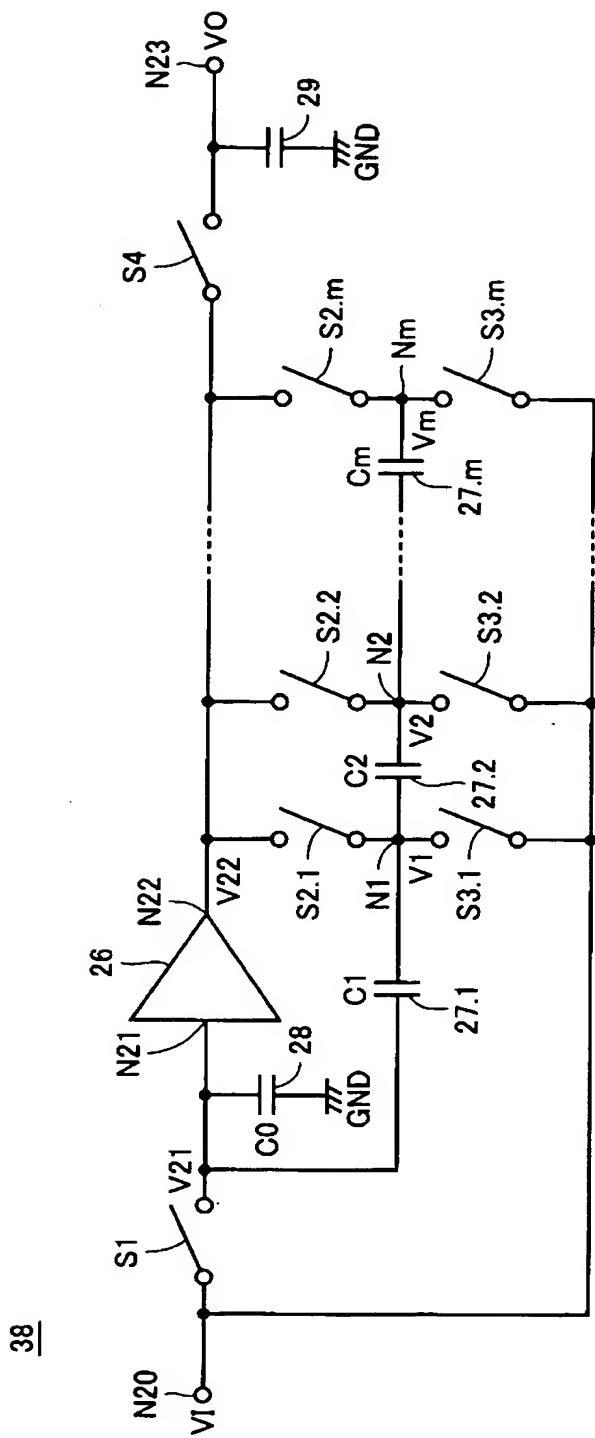
【図6】



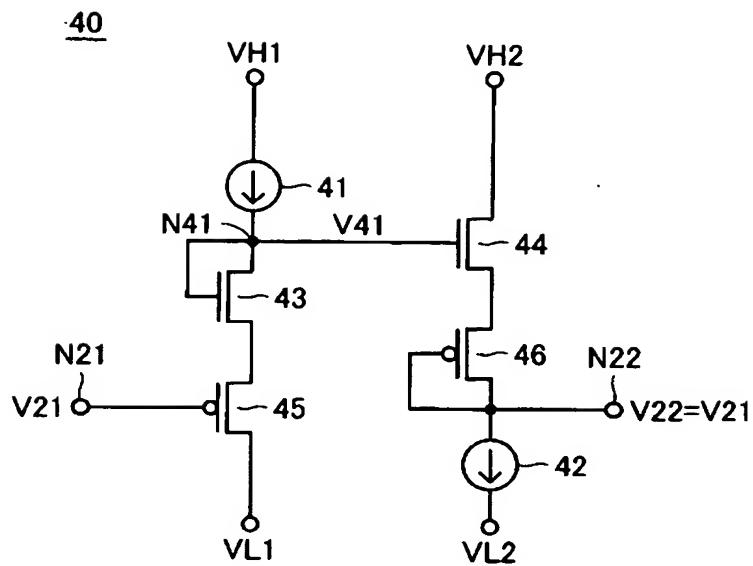
【図7】



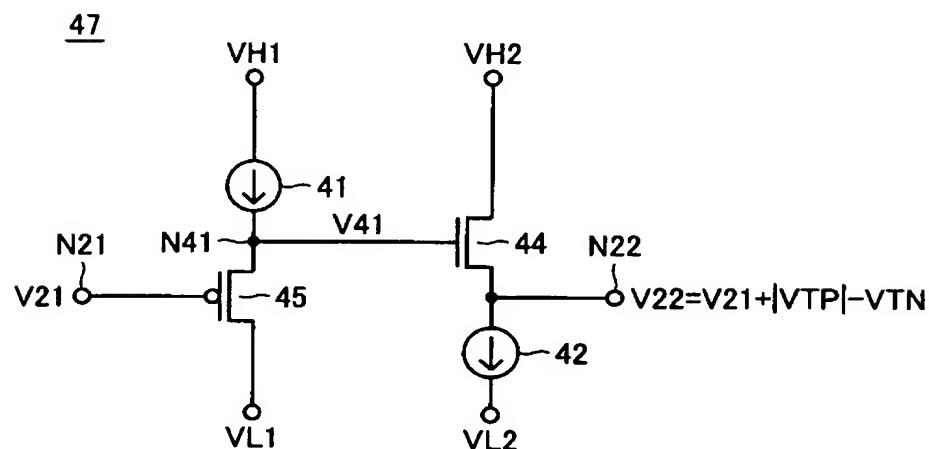
【図 8】



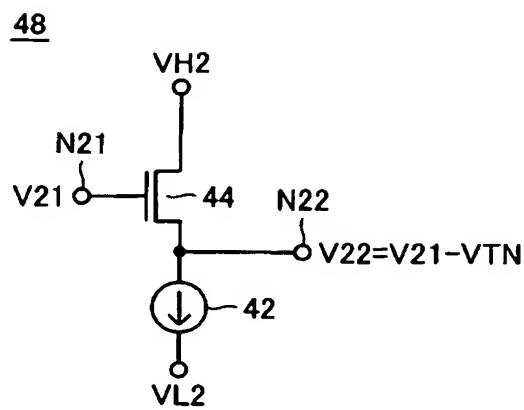
【図9】



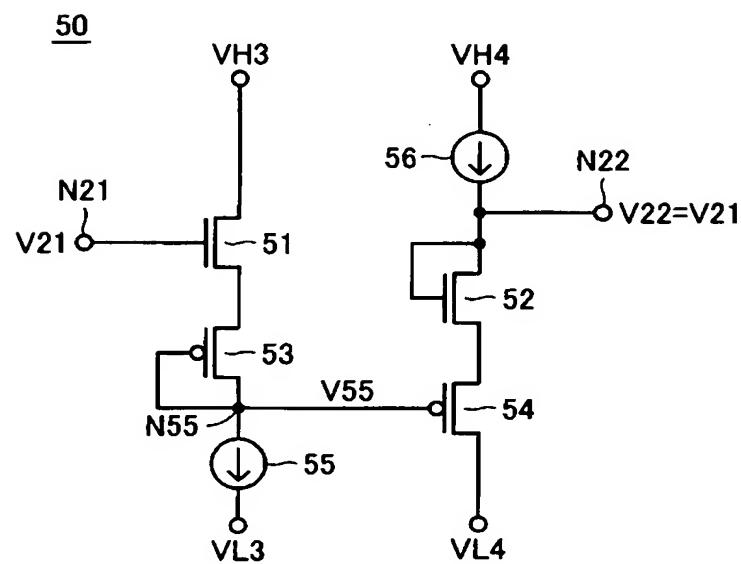
【図10】



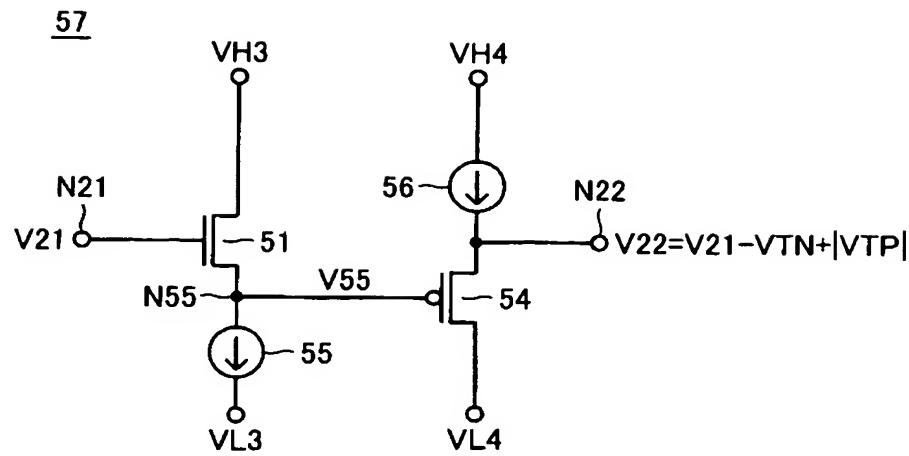
【図 1 1】



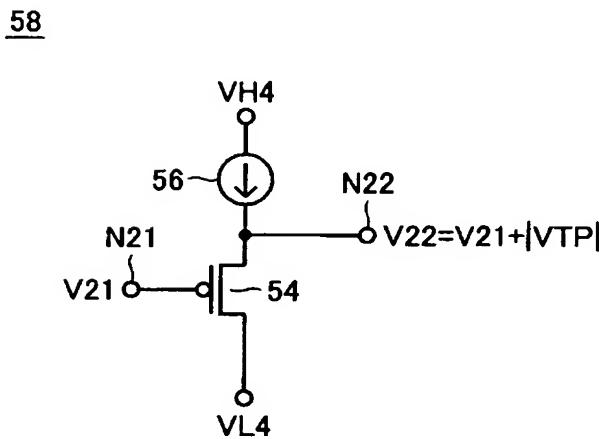
【図 1 2】



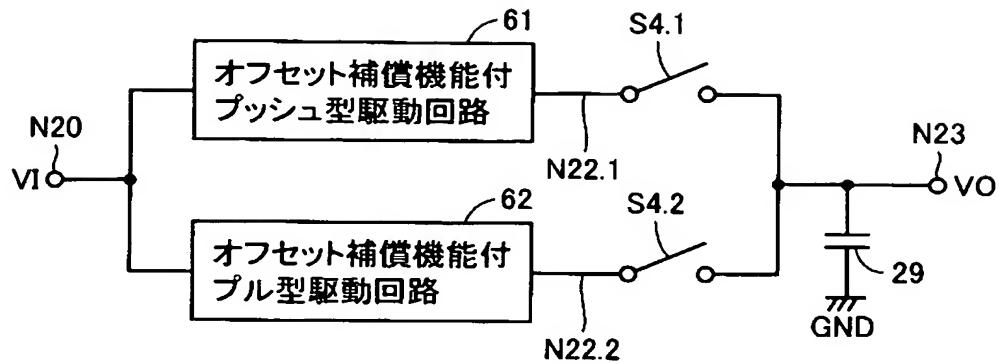
【図 1 3】



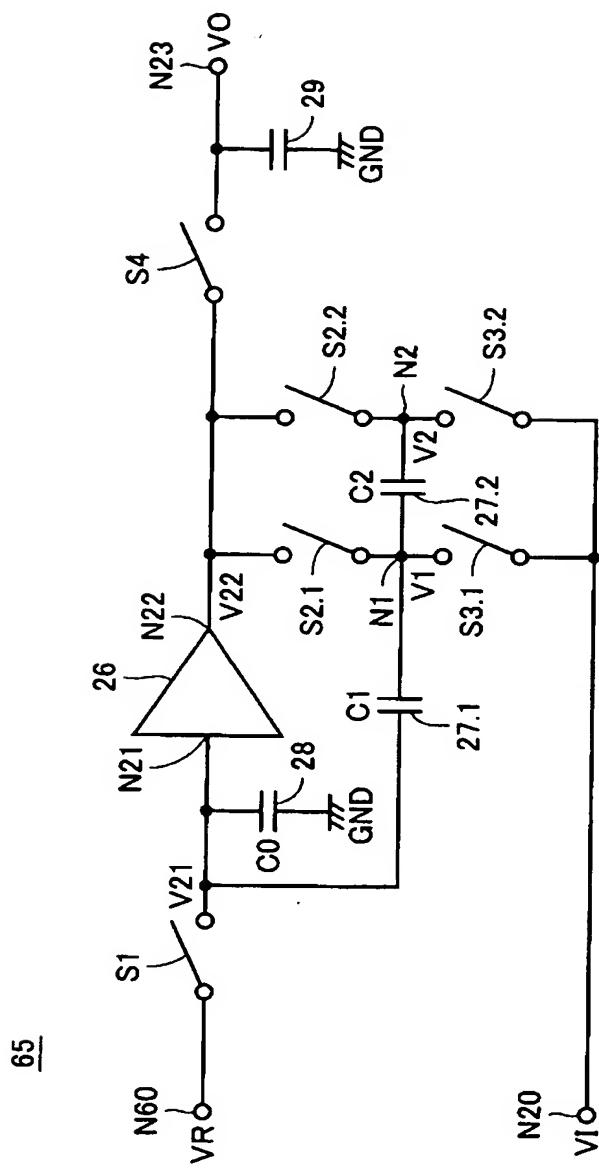
【図 1 4】



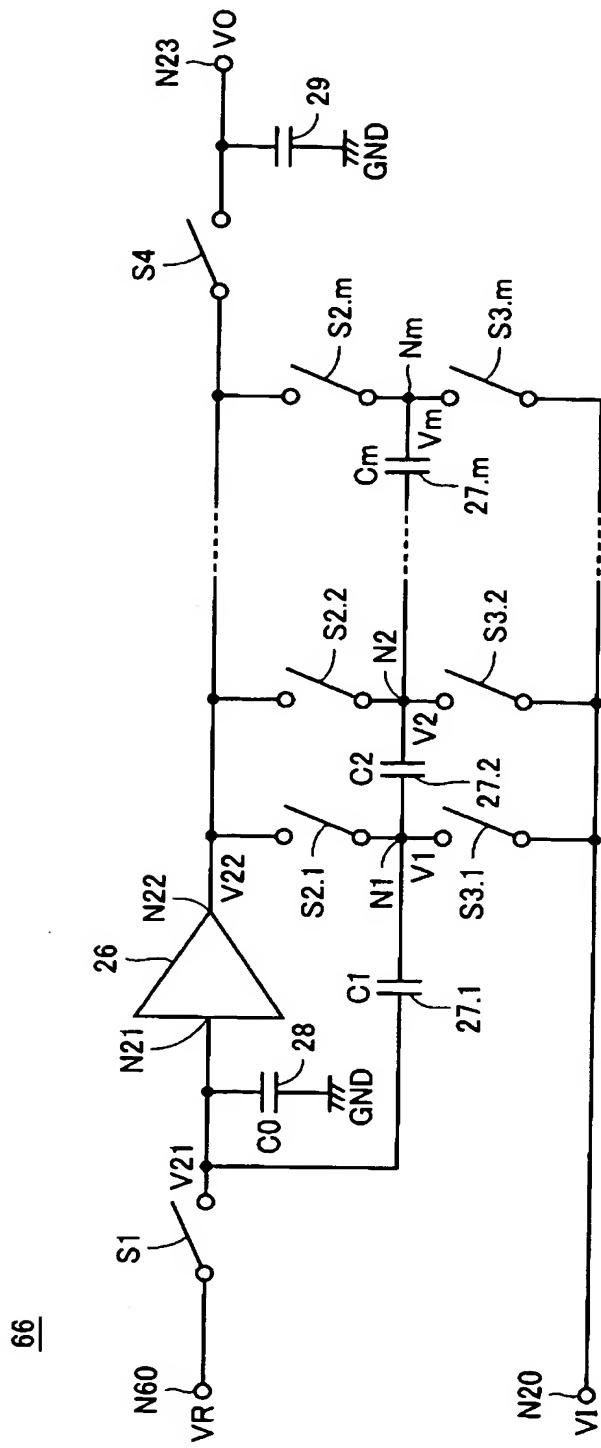
【図15】

60

【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路を提供する。

【解決手段】 このオフセット補償機能付駆動回路25では、スイッチS1, S2.1, S2.2をオンさせてキャパシタ27.1を駆動回路26のオフセット電圧VOFに充電させた後、スイッチS1, S2.1をオフさせるとともにスイッチS3.1をオンさせてキャパシタ27.2を駆動回路26の入力ノードN21の寄生容量C0による損失電圧ΔV1に充電させる。次いでスイッチS3.1, S2.2をオフさせるとともにスイッチS3.2, S4をオンさせる。このときも寄生容量C0による損失電圧ΔV2が発生し、出力電圧VOはVI-ΔV2となる。C0=C1=C2とすると、ΔV2はΔV1の1/6になる。したがって、駆動回路26の寄生容量C0の悪影響を低減化させることができる。

【選択図】 図5

## 認定・付加情報

特許出願の番号	特願 2003-193015
受付番号	50301127311
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 15 年 7 月 10 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目 2 番 3 号
【氏名又は名称】	三菱電機株式会社

## 【代理人】

【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

## 【選任した代理人】

【識別番号】	100098316
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	野田 久登

## 【選任した代理人】

【識別番号】	100109162
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	酒井 將行

## 【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

## 【選任した代理人】

【識別番号】	100083703
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 29 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	仲村 義平

## 【選任した代理人】

【識別番号】 100096781

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井  
住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 堀井 豊

特願 2003-193015

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社